

Searching PAJ

第1頁，共1頁

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-284329
 (43)Date of publication of application : 03.10.2003

(51)Int.Cl. H02M 3/155

(21)Application number : 2002-087128 (71)Applicant : SEIKO EPSON CORP
 (22)Date of filing : 26.03.2002 (72)Inventor : NISHIMAKI TATSUO

(54) POWER SOURCE CIRCUIT AND PWM CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a power source circuit which can PWM-control a 0-to-100% duty range and which can response at a high speed.

SOLUTION: The power source circuit comprises a DC-DC converting circuit having a PMOS (QP1) and an NMOS (QN1) connected in series between an input terminal 1 and a reference voltage input terminal 2 for obtaining a DC output voltage PWM-controlled as an output by alternately turning on the PWM signal, an error amplifier 40 for comparing the DC output voltage with the reference voltage to output an error voltage, and a PWM circuit 30 for PWM-controlling the 0-to-100% duty range in response to the error output of the amplifier 40. In this circuit, the circuit 30 forms a triangular signal deviated at a half period by a charging/discharging circuit for generating the triangular signal by using first and second frequency dividing clocks (each in 500 kHz) deviated at the half period from each other, and combines the triangular signals by first and second Schmitt trigger circuits as first and second PWM signals to generate a PWM signal.



LEGAL STATUS

[Date of request for examination] 07.11.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3573137

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Citation /

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-284329

(P2003-284329A)

(43)公開日 平成15年10月3日 (2003.10.3)

(61)Int.Cl.
H 02 M 3/165

識別記号

F I
H 02 M 3/165テ-ヤコ-ト[®](参考)
H 5 H 7 3 0
P

審査請求 有 請求項の数4 OL (全 12 頁)

(21)出願番号 特願2002-87128(P2002-87128)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(22)出願日 平成14年3月26日 (2002.3.26)

(72)発明者 西牧辰夫

長野県飯田市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 100095728

弁理士 上柳雅善 (外2名)

Fターム(参考) BH790 AA14 AS01 AS05 BB13 BB57

DD04 DD12 DD26 DD32 EE13

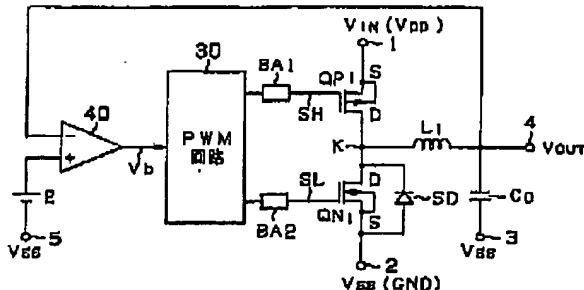
EE39 FD01 FF02 FG05

(54)【発明の名称】 電源回路及びPWM回路

(57)【要約】

【課題】 0～100%デューティ範囲のPWM制御が可能で、高速応答が可能な電源回路及びPWM回路を提供すること。

【解決手段】 電源入力端子1と基準電位入力端子2間にPMOS (Q P1)とNMOS (Q N1)を直列に接続し、PWM信号にて交互にオンさせ、出力としてPWM制御された直流出力電圧を得るDC-D C変換回路と、その直流出力電圧を基準電圧と比較し誤差電圧を出力するエラーアンプ40と、このエラーアンプ40の誤差出力に応じて0～100%デューティ範囲のPWM制御を行うPWM回路30とを具備し、PWM回路30は、互いに半周期ずらした第1、第2の分周クロック (各500kHz) を用いて、三角波生成用の各光放電回路にて互いに半周期ずれた三角波信号を作り、各三角波信号を第1、第2のシュミットトリガ回路にて第1、第2のPWM信号としそれらを合成して、PWM信号を生成する。



(2)

特開2003-284329

2

【特許請求の範囲】

【請求項1】 電源電圧と基準電位間に直列に接続された上位トランジスタと下位トランジスタを有し、各トランジスタを各PWM信号にて制御し、出力としてPWM制御された直流出力電圧を得るDC-DC変換回路と、前記DC-DC変換回路の直流出力電圧を基準電圧と比較し誤差量を出力する誤差検出手段と、

前記誤差検出手段の誤差出力に応じて0~100%デューティ範囲のPWM信号を生成して、前記DC-DC変換回路に対してPWM制御を行うPWM回路と、を具備したことを特徴とする電源回路。

【請求項2】 前記PWM回路は、

前記誤差検出手段からの誤差信号を入力し、互いに半周期ずらされた所定周波数の第1、第2のクロックを用いて、互いに半周期ずらされかつ前記誤差信号に応じた振幅の第1、第2の三角波信号を生成した後、第1、第2の電位判定回路を用いて互いに半周期ずらされた第1、第2のPWM信号を生成する第1、第2のPWM回路と、

前記第1、第2のPWM回路からの第1、第2のPWM信号を合成し、前記所定周波数の2倍の周波数のPWM信号を出力する合成回路と、

を有して構成されることを特徴とする請求項1に記載の電源回路。

【請求項3】 前記第1のPWM回路は、

所定周波数のメイン基準クロックに基づいて作成されたデューティ50%の分周信号が供給される分周信号入力端子と、

前記メイン基準クロックを2分周し互いに半周期ずらして作成された第1、第2の分周クロックのうちの第1の分周クロックが供給される第1のクロック入力端子と、電源電圧としての入力電圧が供給される電源入力端子と、

前記誤差検出手段からの誤差出力が入力される入力端子と、

基準電位が与えられる基準電位入力端子と、

第1のエラーアンプと第1の基準抵抗と第1の電流制御用Pチャンネルトランジスタとを有し、前記第1のエラーアンプの一端子に前記誤差出力が入力され、該第1のエラーアンプの十端子が前記第1の電流制御用Pチャンネルトランジスタのドレンと前記第1の基準抵抗の直列接続点に接続され、前記第1のエラーアンプの出力端が前記第1の電流制御用Pチャンネルトランジスタのゲートに接続され、前記第1の電流制御用Pチャンネルトランジスタのソースが前記電源入力端子に接続され、前記第1の基準抵抗が前記基準電位入力端子に接続された第1の電圧-電流変換回路と、

第1の電流供給用Pチャンネルトランジスタと第1の充電用コンデンサと第1の放電用Nチャンネルトランジスタとを有し、前記第1の電流供給用Pチャンネルトラン

ジスタのソースが前記電源入力端子に接続されそのドレンが前記第1の充電用コンデンサを介して前記基準電位入力端子に接続され、前記第1の充電用コンデンサの両端に並列に前記第1の放電用Nチャンネルトランジスタのドレン、ソースが接続され、前記第1の電流供給用Pチャンネルトランジスタのゲートは前記第1の電流制御用Pチャンネルトランジスタのゲート及び前記第1のエラーアンプの出力端に接続され、前記第1の放電用Nチャンネルトランジスタのゲートは前記第1のクロック入力端子に接続され、前記第1の放電用Nチャンネルトランジスタが、そのゲートに供給される前記第1の分周クロックで周期的にオンして前記第1の充電用コンデンサの充電電荷を放電させ、第1の三角波信号を出力する第1の充放電回路と、

前記第1の充電用コンデンサの出力端に得られる前記第1の三角波信号を入力し、所定のしきい値にて矩形波信号を生成する第1のシュミットトリガ回路と、

前記第1のシュミットトリガ回路からの矩形波信号と前記分周信号入力端子からの分周信号とをそれぞれ入力する2つの2入力NOR素子を用い、互いにその出力を他のNORの入力として帰還して、第1のPWM信号として出力するR-S NORラッピングで構成される第1のラッチ回路と、

前記第2のPWM回路は、所定周波数のメイン基準クロックに基づいて作成されたデューティ50%の分周信号が供給される前記分周信号入力端子と、

前記メイン基準クロックを2分周し互いに半周期ずらして作成された第1、第2の分周クロックのうちの第2の分周クロックが供給される第2のクロック入力端子と、電源電圧としての入力電圧が供給される前記電源入力端子と、

前記誤差検出手段からの誤差出力が入力される前記入力端子と、

基準電位が与えられる前記基準電位入力端子と、

第2のエラーアンプと第2の基準抵抗と第2の電流制御用Pチャンネルトランジスタとを有し、前記第2のエラーアンプの一端子に前記誤差出力が入力され、該第2のエラーアンプの十端子が前記第2の電流制御用Pチャンネルトランジスタのドレンと前記第2の基準抵抗の直列接続点に接続され、前記第2のエラーアンプの出力端が前記第2の電流制御用Pチャンネルトランジスタのゲートに接続され、前記第2の電流制御用Pチャンネルトランジスタのソースが前記電源入力端子に接続され、前記第2の基準抵抗が前記基準電位入力端子に接続された第2の電圧-電流変換回路と、

第2の電流供給用Pチャンネルトランジスタと第2の充電用コンデンサと第2の放電用Nチャンネルトランジスタとを有し、前記第2の電流供給用Pチャンネルトラン

PAGE 515 * RCVD AT 7/7/2006 2:47:37 AM [Eastern Daylight Time] * SVR:USPTO-EFXRF-3/0 * DNIS:2738300 * CSID: * DURATION (mm:ss):06:46

ジスタのソースが前記電源入力端子に接続されそのドレンが前記第2の充電用コンデンサを介して前記基準電位入力端子に接続され、前記第2の充電用コンデンサの両端に並列に前記第2の放電用Nチャンネルトランジスタのドレン、ソースが接続され、前記第2の電流供給用Pチャンネルトランジスタのゲートは前記第2の電流制御用Pチャンネルトランジスタのゲート及び前記第2のエラーアンプの出力端子に接続され、前記第2の放電用Nチャンネルトランジスタのゲートは前記第2のクロック入力端子に接続され、前記第2の放電用Nチャンネルトランジスタが、そのゲートに供給される前記第2の分周クロックで周期的にオンして前記第2の充電用コンデンサの充電電荷を放電させ、第2の三角波信号を出力する第2の充放電回路と、前記第2の充電用コンデンサの出力端に得られる前記第2の三角波信号を入力し、所定のしきい値にて矩形波信号を生成する第2のシュミットトリガ回路と、前記第2のシュミットトリガ回路からの矩形波信号と前記分周信号入力端子からの分周信号をインバータにて反転した信号とをそれぞれ入力する2つの2入力NOR素子を用い、互いにその出力を他のNORの入力として帰還して、第2のPWM信号として出力するR-S NORラッチで構成される第2のラッチ回路と、を有して構成されていることを特徴とする請求項2に記載の電源回路。

【請求項4】 制御信号を入力し、互いに半周期ずらされた所定周波数の第1、第2のクロックを用いて、互いに半周期ずらされかつ前記制御信号に応じた振幅の第1、第2の三角波信号を生成した後、第1、第2の電位判定回路を用いて互いに半周期ずらされた第1、第2のPWM信号を生成する第1、第2のPWM回路と、前記第1、第2のPWM回路からの第1、第2のPWM信号を合成し、前記所定周波数の2倍の周波数のPWM信号を出力する合成回路と、を有して構成されることを特徴とするPWM回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電源回路及びPWM回路に関し、特に、同相整流型電源回路などにおいて、出力電圧の変化を監視して誤差信号を得、三角波を用いてPWM信号を生成する際に、0～100%デューティ範囲のPWM信号を作成可能にし、出力電圧の制御範囲を広げることができるようにした電源回路及びPWM回路に関する。

【0002】

【従来の技術】 近年、携帯電話などのモバイル機器が普及し、負荷となる回路を電池で駆動する機会が増えており、電源回路の消費電力が小さいことが必要不可欠となっている。また、電源回路は、負荷変動に対して高速に応答可能であることも必要不可欠となっている。

(3)

特開2003-284329

4

【0003】 特に、集積回路を使用した電子機器の普及に伴い、低電圧で低消費電力の安定化直流電源が必要となる。

【0004】 負荷及び入力の変動に合わせて、トランジスタをオン、オフさせてスイッチ作用で電源の安定化を図れば、無駄に消費される電力を少なくできるため、電流の効率が非常に良くなる。つまり、トランジスタのオン期間（或いはオンドューティ）を変化させることで電源の安定化を図ることができる。そのような効率的な電源回路として、CMOS集積回路を用いた同期整流型スイッチングレギュレータがある。

【0005】 CMOS集積回路は、Nチャンネルトランジスタ（以下、NMOSと略記する）とPチャンネルトランジスタ（以下、PMOSと略記する）の2種類のMOSトランジスタを組み合わせて構成され、その低消費電力特性ゆえに、LSI技術の主流となっている。

【0006】 図7に、CMOS集積回路を用いた同期整流型スイッチングレギュレータの構成を示している。

【0007】 図7において、電源回路は、ハイサイド側のPMOS（以下、上位トランジスタという）（QP1）とローサイド側のNMOS（以下、下位トランジスタという）（QN1）を有し、交互にオン、オフして直流電圧VOUTを出力する同期整流型のスイッチングレギュレータ回路と、このCスイッチングレギュレータ回路の出力電圧を基準電圧源Eの基準電圧値と比較し誤差信号を得るエラーアンプ40と、前記誤差信号に基づいてPWM信号のパルス幅を制御することで、前記スイッチングレギュレータ回路の出力を一定となるよう制御するPWM回路20と、を有して構成されている。

【0008】 スイッチングレギュレータ回路は、入力電圧である直流電圧VIN（＝電源電圧VDD、例えば4V）が供給される端子1と基準電位VSS（＝グランド電位GND、例えば0V）が与えられた端子2との間に、上位トランジスタ（QP1）、下位トランジスタ（QN1）の各トランジスタがドレインDを共通にして直列に接続されている。上位トランジスタ（QP1）のソースSは端子1に接続し、下位トランジスタ（QN1）のソースは端子2に接続している。

【0009】 上位トランジスタ（QP1）、下位トランジスタ（QN1）の各ゲートには、PWM回路20からのPWM信号を出力バッファBA1、BA2で反転して得られた高周波パルスSH、SLが供給され、各トランジスタは該高周波パルスSH、SLにて交互にオン、オフされることにより、両トランジスタの接続点である中間ノードKに交流電圧VMAを発生する。

【0010】 中間ノードKと基準電位VSSを与える端子2との間には、整流用コイルL1と安定化容量C0が直列に接続し、その直列接続点に接続した出力端子4に安定化容量C0で平滑された直流電圧VOUTが出力される。そして、出力電圧VOUTはフィードバックラインを介して

エラーアンプ 40 の一端子に帰還され、基準電位 VSS を与える端子 5 に接続した基準電圧源 E の基準電圧値と比較される。エラーアンプ 40 の比較結果である誤差出力 Vb は PWM 回路 20 に供給され、該誤差出力にて PWM 回路 20 が生成する PWM 信号のパルス幅が制御される。この帰還制御によって、図示しない負荷に供給される出力電圧 VOUT (例えば 1.5V) が常に一定となるようになり制御されるようになっている。

【0011】ところで、従来、上記 PWM 回路 20 は、例えば図 8 に示すようにコンパレータ COMP で構成されている。コンパレータ COMP の一端子には上記エラーアンプ 40 の誤差出力 Vb (図 9 (a) 参照) をレフアレンス信号として入力し、コンパレータ COMP の+端子には図示しない三角波生成回路で作成された所定周波数の三角波信号 saw (図 9 (a) 参照) を入力し、その比較結果として、前記誤差出力 Vb に応じてパルス幅の変化する PWM 信号 (図 9 (b) 参照) を出力する。この PWM 信号は図 7 の上位トランジスタ (QP1)、下位トランジスタ (QN1) にゲートパルス SH、SL として供給される。ただし、PMOS 及びNMOS が同時にオンして電源電圧 VIN 側から基準電位 VSS へ漏通電流が流れることのないように、下位トランジスタ (QN1) に供給されるゲートパルス SL は、そのパルス幅が上位トランジスタ (QP1) のゲートパルス SH より若干狭くなるように成形される。

【0012】しかしながら、コンパレータを用いて PWM 回路を構成した場合、三尖波信号の周波数を例えば 1 MHz 程度の高い周波数にして CMOS インバータ回路を高速スイッチングさせようとすると、その高い周波数に応じた PWM 信号を生成することが難しく、高速化が困難であった。

【0013】そこで、上記 PWM 回路 20 として、所定周波数 (例えば 1 MHz) の基準クロックから、前記誤差出力 Vb に応じた傾斜を持った三角波信号を作成し、該三角波信号をシュミットトリガ回路などの階位判定回路に供給することにより、誤差出力 Vb に応じたパルス幅の PWM 信号を生成することが考えられている。

【0014】このような PWM 回路 20 は、例えば図 10 に示すように構成されている。即ち、PWM 回路 20 は、例えば 1 MHz の基準クロック CLK (図 11 (a) 参照) が供給されるクロック入力端子 21 と、電源電圧としての入力電圧 VIN が供給される電源入力端子 22 と、前記エラーアンプ 40 からの誤差出力 Vb が入力される入力端子 23 と、基準電位 VSS が与えられる基準電位入力端子 24 と、エラーアンプ 201 と基準抵抗 R と電流制御用 PMOS (QP2) とを有し、エラーアンプ 201 の一端子に前記誤差出力 Vb が入力され、エラーアンプ 201 の+端子が PMOS (QP2) のドレインと基準抵抗 R の直列接続点に接続され、エラーアンプ 201 の出力端が PMOS (QP2) のゲートに接続さ

れ、PMOS (QP2) のソースが電源入力端子 22 に接続され、基準抵抗 R の一端が基準電位入力端子 24 に接続された電圧-電流変換回路と、電流供給用 PMOS (QP3) と充電用コンデンサ C と放電用 NMOS (QN2) とを有し、PMOS (QP3) のソースが電源入力端子 22 に接続されそのドレインがコンデンサ C を介して基準電位入力端子 24 に接続され、コンデンサ C の両端に並列に NMOS (QN2) のドレイン、ソースが接続され、PMOS (QP3) のゲートは PMOS (QP2) のゲート及び前記エラーアンプ 201 の出力端に接続され、NMOS (QN2) のゲートはクロック入力端子 21 に接続され、NMOS (QN2) がそのゲートに供給される前記基準クロック CLK で周期的にオンして前記コンデンサ C の充電電荷を放電させ、三角波信号 W-CLK を出力する充放電回路と、前記コンデンサ C の出力端に得られる三角波信号 W-CLK (図 11 (b) 参照) を入力し、所定のしきい値 VTH にて矩形波信号 (即ち PWM 信号、図 11 (c) 参照) を生成するシュミットトリガ回路 202 と、を有して構成されている。上記の PMOS (QP2) と PMOS (QP3) とは同一サイズで同一形状を有しており、互いにミラーのトランジスタである。

【0015】この構成では、電圧-電流変換回路は、基準抵抗 R を流れる電流 i によって生ずる電圧降下 $i \cdot R$ がエラーアンプ 40 より入力される誤差電圧 Vb に等しくなるようにエラーアンプ 201 が働き、電流を制御する結果、PMOS (QP2) 及び抵抗 R を通して電流 $i = Vb / R$ が流れる。その結果、誤差電圧 Vb に対応した電流が PMOS (QP2) に流れ、同時に同じ電流が PMOS (QP3) にも流れる。従って、エラーアンプ 40 より入力される誤差電圧 Vb の値に応じて PMOS (QP2)、PMOS (QP3) の各トランジスタに流れる電流量が変化し、その結果コンデンサ C に充電される電圧も誤差電圧 Vb の値に応じて変化する。例えば、誤差電圧 Vb が上がると、コンデンサ C に充電される電流値もリニアに増加するので、一定のクロック周期ごとの充放電にて作成される三角波信号の波高値は電圧 Vb の増加に対応したものとなり、結果として図 11 (b) の実線波形①、点線波形②、③のようにコンデンサ C の両端に生成される三角波信号の傾斜が変わる。これにより、シュミットトリガ回路 202 でしきい値 VTH によって切り取られる PWM 信号のパルス幅は、図 11 (c) の実線波形①、点線波形②、③のように大きくなる。即ち、誤差電圧 Vb に応じて、三角波信号の傾きが変わり PWM 信号のパルス幅が制御されることになる。

【0016】図 10 の PWM 回路によれば、応答性に優れたシュミットトリガ回路を用いることによって、誤差出力 Vb の変動に応じた高速の PWM 制御を実現でき、応答性を向上させることができる。

【発明が解決しようとする課題】上述したように、図1のPWM回路では、誤差電圧Vbが上がると、リニアに電流値が上昇するので、三角波信号の傾きが変わってPWM信号のパルス幅が制御できるが、電圧Vbが上昇したからといって流れる電流値には限界があるので三角波信号の傾きが90°成いはその近くになることない。

【0018】三角波信号の傾きが90°ならば、PMOS (QP1) のゲートに供給されるPWM信号 (SH) のオンに寄与するパルスデューティは100% (PMOSはローアクティブであるので、図10のPWM信号がオールハイのときPMOSは常時オンとなりオンデューティは100%となる) であるが、このデューティ100%に近いところまでPWM信号のパルス幅 (ローアクティブ) を狭くすることは難しい。

【0019】ところで、このようにPMOSのゲートに、パルス幅の狭い (即ち100%に近いオンデューティの) PWM信号を必要とする理由は次の通りである。

【0020】即ち、PWM信号をオールハイ、即ちPMOSのオンデューティを100%としてPMOSを常時オンしたい場合もある。その理由を、図12を参照して説明する。

【0021】入力電圧VIN (=VDD) が4.0Vであるとし、これからスイッチングレギュレータ回路にて75%デューティのPWM信号を用いて3.0Vの出力電圧VOUTを得ているとすると、デューティ幅75%の電圧比である。ここで、入力電圧VINが4Vを維持していればよいが、入力電圧VINが降下してきて例えば3.0Vになった場合、PWM信号として出力できる最大のオンデューティは精々80%位であるので、出力電圧VOUTは3.0Vの入力電圧VINの80%、即ち2.4Vが最大の出力となってしまう。もしも、PWM信号として0~100%までのデューティ範囲が可能であるとすると、3.0Vの入力電圧VINに対して100%デューティ、即ち3.0Vの出力電圧を維持でき、これを負荷に供給することが可能となる。

【0022】一方、近年、集積回路を低電圧化・低消費電力化するに伴い、負荷に供給する出力電圧として1V以下の低い電圧を供給する必要が生ずる。従って、PWM信号のオンデューティを例えば5%, 10%といった低いデューティに設定することが必要となる場合もある。

【0023】そこで、本発明は、上記の問題に鑑みてなされたもので、0~100%デューティ範囲のPWM制御が可能で、高速応答が可能な電源回路及びPWM回路を提供することを目的とする。

【0024】

【課題を解決するための手段】本発明による電源回路は、電源電圧と基準電位間に直列に接続された上位トランジスタと下位トランジスタを有し、各トランジスタを各PWM信号にて制御し、出力としてPWM制御された

(5)

特開2003-284329

8

直流出力電圧を得るDC-DC変換回路と、前記DC-DC変換回路の直流出力電圧を基準電圧と比較し誤差電圧を出力する誤差検出手段と、前記誤差検出手段の誤差出力に応じて0~100%デューティ範囲のPWM信号を生成して、前記DC-DC変換回路に対してPWM制御を行うPWM回路と、を具備したものである。

【0025】本発明のこのような構成によれば、DC-DC変換回路に対してPWM制御を行う際に、誤差検出手段の誤差出力に応じて0~100%デューティ範囲の10 PWM信号を生成して、PWM制御を行うことが可能となり、低い出力電圧が必要な場合は、0%に近いデューティの細幅のPWM信号を生成して、Pチャンネルトランジスタを非常に短時間のみオンさせることで、出力電圧として低い電圧を出力できる一方、電池等による電源電圧が降下してきた時でも、100%デューティのPWM信号を生成して、Pチャンネルトランジスタを常時オンさせることで、出力電圧として電源電圧そのものを出力させることもできる。

【0026】また、本発明において、前記PWM回路は、前記誤差検出手段からの誤差信号を入力し、互いに半周期ずらされた所定周波数の第1、第2のクロックを用いて、互いに半周期ずらされかつ前記誤差信号に応じた振幅の第1、第2の三角波信号を生成した後、第1、第2の電位判定回路を用いて互いに半周期ずらされた第1、第2のPWM信号を生成する第1、第2のPWM回路と、前記第1、第2のPWM回路からの第1、第2のPWM信号を合成し、前記所定周波数の2倍の周波数のPWM信号を出力する合成回路と、を有して構成されることが好ましい。

【0027】このような構成によれば、最終的な動作周波数の1/2の周波数でかつ互いに半周期ずれた第1、第2のクロックを用いて、互いに半周期ずらされた第1、第2の三角波信号を生成した後、各々シミュットトリガ回路などで構成される第1、第2の電位判定回路を用いて第1、第2のPWM信号を生成し、これらを合成して、最終的な動作周波数のPWM信号を作成するので、誤差信号に応じて0~100%デューティ範囲のPWM信号を生成することができ、しかもノイズの影響を受けにくい高速なPWM制御を行うことが可能となる。

【0028】また、本発明において、前記第1のPWM回路は、所定周波数のメイン基準クロックに基づいて作成されたデューティ50%の分周信号が供給される分周信号入力端子と、前記メイン基準クロックを2分周し互いに半周期ずらして作成された第1、第2の分周クロックのうちの第1の分周クロックが供給される第1のクロック入力端子と、電源電圧としての入力電圧が供給される電源入力端子と、前記誤差検出手段からの誤差出力が入力される入力端子と、基準電圧が与えられる基準電位入力端子と、第1のエラーアンプと第1の基準抵抗と第1の電流制御用Pチャンネルトランジスタとを有し、第

1のエラーアンプの一端子に前記誤差出力が入力され、該第1のエラーアンプの十端子が前記第1の電流制御用Pチャンネルトランジスタのドレンと前記第1の基準抵抗の直列接続点に接続され、前記第1のエラーアンプの出力端が前記第1の電流制御用Pチャンネルトランジスタのゲートに接続され、前記第1の電流制御用Pチャンネルトランジスタのソースが前記電源入力端子に接続され、前記第1の基準抵抗が前記基準電位入力端子に接続された第1の電圧-電流変換回路と、第1の電流供給用Pチャンネルトランジスクと第1の充電用コンデンサと第1の放電用Nチャンネルトランジスクとを有し、前記第1の電流供給用Pチャンネルトランジスタのソースが前記電源入力端子に接続されそのドレンが前記第1の充電用コンデンサを介して前記基準電位入力端子に接続され、前記第1の充電用コンデンサの両端に並列に前記第1の放電用Nチャンネルトランジスタのドレン、ソースが接続され、前記第1の電流供給用Pチャンネルトランジスタのゲートは前記第1の電流制御用Pチャンネルトランジスクのゲート及び前記第1のエラーアンプの出力端に接続され、前記第1の放電用Nチャンネルトランジスクのゲートは前記第1のクロック入力端子に接続され、前記第1の放電用Nチャンネルトランジスクが、そのゲートに供給される前記第1の分周クロックで周期的にオンして前記第1の充電用コンデンサの充電電荷を放電させ、第1の三角波信号を出力する第1の充放電回路と、前記第1の充電用コンデンサの出力端に得られる前記第1の三角波信号を入力し、所定のしきい値にて矩形波信号を生成する第1のシュミットトリガ回路と、前記第1のシュミットトリガ回路からの矩形波信号と前記分周信号入力端子からの分周信号とをそれぞれ入力する2つの2入力NOR素子を用い、互いにその出力を他のNORの入力として帰還して、第1のPWM信号として出力するR-S NORラッチで構成される第1のラッチ回路と、を有して構成され、前記第2のPWM回路は、所定周波数のメイン基準クロックに基づいて作成されたデューティ50%の分周信号が供給される前記分周信号入力端子と、前記メイン基準クロックを2分周し互いに半周期ずらして作成された第1、第2の分周クロックのうちの第2の分周クロックが供給される第2のクロック入力端子と、電源電圧としての入力電圧が供給される前記電源入力端子と、前記誤差検出手段からの誤差出力が入力される前記入力端子と、基準電位が与えられる前記基準電位入力端子と、第2のエラーアンプと第2の基準抵抗と第2の電流制御用Pチャンネルトランジスタとを有し、前記第2のエラーアンプの一端子に前記誤差出力が入力され、該第2のエラーアンプの十端子が前記第2の電流制御用Pチャンネルトランジスタのドレンと前記第2の基準抵抗の直列接続点に接続され、前記第2のエラーアンプの出力端が前記第2の電流制御用Pチャンネルトランジスタのゲートに接続され、前記第

2の電流制御用Pチャンネルトランジスタのソースが前記電源入力端子に接続され、前記第2の基準抵抗が前記基準電位入力端子に接続された第2の電圧-電流変換回路と、第2の電流供給用Pチャンネルトランジスタと第2の充電用コンデンサと第2の放電用Nチャンネルトランジスクとを有し、前記第2の電流供給用Pチャンネルトランジスタのソースが前記電源入力端子に接続されそのドレンが前記第2の充電用コンデンサを介して前記基準電位入力端子に接続され、前記第2の充電用コンデンサの両端に並列に前記第2の放電用Nチャンネルトランジスクのドレン、ソースが接続され、前記第2の電流供給用Pチャンネルトランジスタのゲートは前記第2の電流制御用Pチャンネルトランジスタのゲート及び前記第2のエラーアンプの出力端に接続され、前記第2の放電用Nチャンネルトランジスクが、そのゲートに供給される前記第2の分周クロックで周期的にオンして前記第2の充電用コンデンサの充電電荷を放電させ、第2の三角波信号を出力する第2の充放電回路と、前記第2の充電用コンデンサの出力端に得られる前記第2の三角波信号を入力し、所定のしきい値にて矩形波信号を生成する第2のシュミットトリガ回路と、前記第2のシュミットトリガ回路からの矩形波信号と前記分周信号入力端子からの分周信号をインバータにて反転した信号とをそれぞれ入力する2つの2入力NOR素子を用い、互いにその出力を他のNORの入力として帰還して、第2のPWM信号として出力するR-S NORラッチで構成される第2のラッチ回路と、を有して構成されていることが好ましい。
【0029】さらに、本発明によるPWM回路は、制御信号を入力し、互いに半周期ずらされた所定周波数の第1、第2のクロックを用いて、互いに半周期ずらされかつ前記制御信号に応じた振幅の第1、第2の三角波信号を生成した後、第1、第2の電位判定回路を用いて互いに半周期ずらされた第1、第2のPWM信号を生成する第1、第2のPWM回路と、前記第1、第2のPWM回路からの第1、第2のPWM信号を合成し、前記所定周波数の2倍の周波数のPWM信号を出力する合成回路と、を有して構成されることを特徴とする。
【0030】このような構成によれば、最終的な動作周波数の1/2の周波数でかつ互いに半周期ずれた第1、第2のクロックを用いて、互いに半周期ずらされた第1、第2の三角波信号を生成した後、各々シュミットトリガ回路などで構成される第1、第2の電位判定回路を用いて第1、第2のPWM信号を生成し、これらを合成して、最終的な動作周波数のPWM信号を作成するので、制御信号に応じて0~100%デューティ範囲のPWM信号を生成することができ、しかもノイズの影響を受けにくい高速なPWM制御を行うことが可能となる。
50 このようなPWM回路は、電源回路に限らず、PWM制

(7)

特開2003-284329

12

御が必要な各種の電子回路に応用することが可能である。

【0031】

【発明の実施の形態】発明の実施の形態について図面を参照して説明する。図1は本発明の一実施の形態の電源回路の構成を示している。図7の従来回路と同一部分には同一符号を付して説明する。

【0032】図1において、電源回路は、入力電圧VINと基準電圧VSSとの間に上位トランジスタ(QP1)と下位トランジスタ(QN1)を有し、これらのトランジスタをPWM信号を用いて交互にオン、オフして直流電圧VOUTを出力する同期整流型のスイッチングレギュレータ回路で構成されるDC-DC変換回路と、このDC-DC変換回路の出力電圧を基準電圧源Eの電圧値と比較し誤差信号を得るエラーアンプ40と、前記誤差信号に基づいてPWM信号のパルス幅のデューティを0~100%制御することが可能であって、前記DC-DC変換回路の出力を一定となるよう制御するPWM回路30と、を有して構成されている。

【0033】DC-DC変換回路は、入力電圧である直流電圧VIN(=電源電圧VDD、例えば4V)が供給される端子1と基準電圧VSS(=グランド電位GND、例えば0.3V)が与えられた端子2との間に、上位トランジスタ(QP1)、下位トランジスタ(QN1)の各トランジスタがドレインDを共通にして直列に接続されている。上位トランジスタ(QP1)のソースは端子1に接続し、下位トランジスタ(QN1)のソースは端子2に接続している。

【0034】上位トランジスタ(QP1)、下位トランジスタ(QN1)の各ゲートには、PWM回路30からPWM信号として高周波パルスSH、SLが供給され、各トランジスタは該高周波パルスSH、SLにて交互にオン、オフされることにより、両トランジスタの接続点である中間ノードKに交流電圧VMAを発生する。

【0035】なお、図2(a)、(b)に示すように下位トランジスタ(QN1)のゲートパルスSLは、上位トランジスタ(QP1)のゲートパルスSHとほぼ同期にしているが負荷の状況によりそのパルス幅は異なる。ゲートパルスSLのハイレベルとなる期間は、ゲートパルスSHのハイレベルとなる期間より狭い幅となるように形成されており、PMOS及びNMOSが同時にオンしないようにすることによって電源VIN側から基準電圧VSS側へ漏電流が流れるのを防いでいる。また、下位トランジスタ(QN1)のソース・ドレイン間にショットキーダイオードSDが接続され、ローサイドトランジスタのオフ時ににおけるローサイドトランジスタへの過電圧防止と電力供給バックアップを行う。

【0036】交流電圧VMAが生成される中間ノードKと基準電圧VSSが与えられる端子2との間には、整流用コイルL1と安定化容量C0が直列に接続し、その直列接

続点に接続した出力端子27に安定化容量C0で平滑された直流電圧VOUT(例えば1.5V)が出力され、図示しない負荷に供給される。

【0037】そして、出力の直流電圧VOUTはフィードバックラインを介してエラーアンプ40の一端子に帰還されており、基準電圧VSSが与えられる端子5に接続した基準電圧源Eの電圧値と比較される。

【0038】エラーアンプ40の比較結果である誤差(エラー)電圧はPWM回路30に供給され、該誤差電圧にてPWM回路30が生成するPWM信号のパルス幅が制御される。この帰還制御によって、図示しない負荷に供給される出力電圧VOUT(例えば1.5V)が常に一定となるよう制御されるようになっている。

【0039】上記の構成においては、PWM回路30からのPWM信号は、出力バッファBA1、BA2で反転されて、互いにほぼ同期した適宜のパルス幅を有する高周波(例えば1MHz)パルスSH、SLとなって、上位トランジスタ(QP1)と下位トランジスタ(QN1)の各ゲートに印加される。高周波パルスSH、SLは図2

20 (a)、(b)に示すようなパルスである。上位トランジスタ(QP1)、下位トランジスタ(QN1)の各トランジスタが上記のほぼ同期した高周波パルスSH、SLにて交互にオン、オフすることにより、接続点である中間ノードKに図2(c)に示すような交流電圧VMAを発生する。この交流電圧VMAに基づいて電流がコイルL1を通り安定化容量C0に充放されることによって、出力端子4には出力電圧VOUTとしての直流電圧が得られる。

【0040】図3は上記PWM回路30の構成例を示す回路図である。このPWM回路30は、図10のPWM回路20とほぼ同じ構成の2つの第1、第2のPWM回路を並列に接続し、前記基準クロック(例えば1MHz)を2分周し互いに半周期ずらした2種類の分周クロック(各500kHz)を作成し、第1、第2のPWM回路の各充放電回路にて互いに半周期ずらした三角波信号を作り、各三角波信号をそれぞれ第1、第2のシュミットトリガ回路にて第1、第2のPWM信号とし、それらを合成して、CMOSインバータ回路へのPWM信号として出力する構成としたものである。

【0041】従って、PWM回路30は、エラーアンプ40からの誤差信号Vbを入力し、互いに半周期ずらされ前記誤差信号Vbに応じた振幅の第1、第2の三角波信号を生成し、第1、第2のPWM信号を作成する第1、第2のPWM回路と、この第1、第2のPWM回路からの第1、第2のPWM信号を合成し、PWM信号として出力する合成回路と、を有して構成されている。

【0042】上記第1のPWM回路は、例えば1MHzのメイン基準クロック(図4(a)参照)に基づいて作成された分周信号が供給される分周信号入力端子6と、前記メイン基準クロック(例えば1MHz)を2分周し互いに半周期ずらして作成された第1、第2の分周クロック

13

ク (各 500 kHz) CLK1, CLK2 のうち第 1 の分周クロック CLK1 が供給される第 1 のクロック入力端子 7 と、電源電圧としての入力電圧 VIN が供給される電源入力端子 9 と、前記エラーアンプ 40 からの誤差出力 Vb が入力される入力端子 10 と、基準電位 VSS が与えられる基準電位入力端子 11 と、前記誤差電圧 Vb に応じた電流を生成するための第 1 の電圧-電流変換回路と、この第 1 の電圧-電流変換回路にて生成する電流を一定クロック周期にてコンデンサ C1 に充電した後放電することにより前記誤差電圧 Vb に応じた振幅 (立ち上がり傾斜) の三角波信号 W-CLK1 を生成するための第 1 の充放電回路と、前記三角波信号 W-CLK1 を入力し矩形波を生成するための第 1 のシュミットトリガ回路 302 と、前記矩形波を一定期間ラッチするための第 1 のラッチ回路と、を有して構成されている。

【0043】上記第 1 の電圧-電流変換回路は、エラーアンプ 301 と基準抵抗 R1 と電流制御用 PMOS (QP4) とを有し、エラーアンプ 301 の一端子に前記誤差出力 Vb が入力され、エラーアンプ 301 の十端子が PMOS (QP5) のドレインと基準抵抗 R1 の直列接続点に接続され、エラーアンプ 301 の出力端が PMOS (QP4) のゲートに接続され、PMOS (QP4) のソースが電源入力端子 9 に接続され、基準抵抗 R1 が基準電位入力端子 11 に接続された構成となっている。

【0044】上記第 1 の充放電回路は、電流供給用 PMOS (QP5) と充電用コンデンサ C1 と放電用 NMOS (QN3) とを有し、PMOS (QP5) のソースが電源入力端子 9 に接続されそのドレインがコンデンサ C1 を介して基準電位入力端子 11 に接続され、コンデンサ C1 の両端に並列に NMOS (QN3) のドレイン、ソースが接続され、PMOS (QP5) のゲートは PMOS (QP4) のゲート及び前記エラーアンプ 301 の出力端に接続され、NMOS (QN3) のゲートはクロック入力端子 7 に接続され、NMOS (QN3) がそのゲートに供給される前記クロック CLK1 で周期的にオンして前記コンデンサ C1 の充電電荷を放電させ、三角波信号 W-CLK1 (図 4 (e) 参照) を出力する構成となっている。

【0045】上記第 1 のシュミットトリガ回路 302 は、前記コンデンサ C1 の出力端に得られる三角波信号 W-CLK1 を入力し、所定のしきい値 VTH1 にて矩形波信号 (即ち第 1 の PWM 信号、図 4 (g) 参照) を生成する構成となっている。

【0046】上記第 1 のラッチ回路は、前記第 1 のシュミットトリガ回路 302 からの PWM 信号と分周信号入力端子 6 からの分周信号とをそれぞれ入力する 2 つの 2 入力 NOR 演算子 303, 304 を用い、互いにその出力を他の NOR の入力として帰還して、第 1 の PWM 信号 (PWM1) として出力する R-S NOR ラッチで構成されている。

(8)

特開 2003-284329

14

【0047】一方、上記第 2 の PWM 回路も、第 1 の PWM 回路とほぼ同様な構成となっており、例えば 1 MHz のメイン基準クロック [図 4 (a) 参照] に基づいて作成された分周信号が供給される分周信号入力端子 6 と、前記メイン基準クロック (例えば 1 MHz) を 2 分周し互いに半周期ずらして作成された第 1, 第 2 の分周クロック (各 500 kHz) CLK1, CLK2 のうち第 2 の分周クロック CLK2 が供給される第 2 のクロック入力端子 8 と、電源電圧としての入力電圧 VIN が供給される電源入力端子 9 と、前記エラーアンプ 40 からの誤差出力 Vb が入力される入力端子 10 と、基準電位 VSS が与えられる基準電位入力端子 11 と、前記誤差電圧 Vb に応じた電流を生成するための第 2 の電圧-電流変換回路と、この第 2 の電圧-電流変換回路にて生成する電流を一定クロック周期にてコンデンサ C2 に充電した後放電することにより前記誤差電圧 Vb に応じた振幅 (立ち上がり傾斜) の三角波信号 W-CLK2 を生成するための第 2 の充放電回路と、前記三角波信号 W-CLK2 を入力し矩形波を生成するための第 2 のシュミットトリガ回路 312 と、前記矩形波を一定期間ラッチするための第 2 のラッチ回路と、を有して構成されている。

【0048】上記第 2 の電圧-電流変換回路は、エラーアンプ 311 と基準抵抗 R2 と電流制御用 PMOS (QP6) とを有し、エラーアンプ 311 の一端子に前記誤差出力 Vb が入力され、エラーアンプ 311 の十端子が PMOS (QP7) のドレインと基準抵抗 R2 の直列接続点に接続され、エラーアンプ 311 の出力端が PMOS (QP6) のゲートに接続され、PMOS (QP6) のソースが電源入力端子 9 に接続され、基準抵抗 R2 が基準電位入力端子 11 に接続された構成となっている。

【0049】上記第 2 の充放電回路は、電流供給用 PMOS (QP7) と充電用コンデンサ C1 と放電用 NMOS (QN4) とを有し、PMOS (QP7) のソースが電源入力端子 9 に接続されそのドレインがコンデンサ C2 を介して基準電位入力端子 11 に接続され、コンデンサ C2 の両端に並列に NMOS (QN4) のドレイン、ソースが接続され、PMOS (QP7) のゲートは PMOS (QP6) のゲート及び前記エラーアンプ 311 の出力端に接続され、NMOS (QN4) のゲートはクロック入力端子 7 に接続され、NMOS (QN4) がそのゲートに供給される前記クロック CLK1 で周期的にオンして前記コンデンサ C2 の充電電荷を放電させ、三角波信号 W-CLK2 (図 4 (f) 参照) を出力する構成となっている。

【0050】上記第 2 のシュミットトリガ回路 312 は、前記コンデンサ C2 の出力端に得られる三角波信号 W-CLK2 を入力し、所定のしきい値 VTH2 にて矩形波信号 (即ち第 2 の PWM 信号、図 4 (h) 参照) を生成する構成となっている。

50 【0051】上記第 2 のラッチ回路は、前記第 2 のシュ

15

ミットトリガ回路 312 からの PWM 信号と分周信号入力端子 6 からの分周信号をインバータ 314 にて反転した信号とをそれぞれ入力する 2 つの 2 入力 NOR 素子 313, 315 を用い、互いにその出力を他の NOR の入力として帰還して、第 2 の PWM 信号 (PWM2) として出力する R-S NOR ラッチで構成されている。

【0052】上記合成回路は、前記第 1, 第 2 の PWM 信号 (PWM1), (PWM2) の論理和をとるオア回路 (又はノア回路 321 とノット回路 322 の組合せ回路) で構成されている。

【0053】次に、図 4～図 6 を参照して図 3 の回路の作用・効果を説明する。なお、上記第 1, 第 2 の PWM 回路の各動作は、図 10 の PWM 回路の動作とほぼ同様であるので説明を省略する。

【0054】図 4において、(a) は例えば 1 MHz のメイン基準クロック Main-CLK、(b) はメイン基準クロック Main-CLKに基づいて作成されるデューティ 50% の分周信号 Div-main、(c) は(a)のメイン基準クロック Main-CLK を 2 分周した例えば 500 KHz の分周クロック CLK1、(d) は(e)のメイン基準クロック Main-CLK を 2 分周した例えば 500 KHz の分周クロックで、且つ(c)の分周クロックに対して半周期ずれた分周クロック CLK2、(e) は(c)の分周クロック CLK1 を用いて第 1 の PWM 回路内で作成される三角波信号 W-CLK1、(f) は(d)の分周クロック CLK2 を用いて第 2 の PWM 回路内で作成される三角波信号 W-CLK2、(g) は(e)の三角波信号 W-CLK1 に基づいて作成される PWM 信号 (PWM1)、(h) は(f)の三角波信号 W-CLK2 に基づいて作成される PWM 信号 (PWM2)、(i) は第 1, 第 2 の PWM 信号 (PWM1), (PWM2) を合成して得られる PWM 信号で、図 1 の上位トランジスタ (QP1) のゲートにゲートパルス SH として供給される。なお、図 1 の下位トランジスタ (QN1) のゲートに供給するゲートパルス SL は、図示しない回路にて図 2(b)に示されるようにゲートパルス SH のハイレベル期間内においてその期間よりも若干狭めたハイレベル期間を有したパルスを作成することによって得られる。

【0055】上記の図 3 の PWM 回路 301 は、図 10 の PWM 回路 20 とほぼ同じ構成の第 1, 第 2 の PWM 回路を並列に接続し、前記メイン基準クロック (例えば 1 MHz) を 2 分周し互いに半周期ずらした 2 種類の分周クロック (各 500 kHz) を作成し、第 1, 第 2 の PWM 回路の各充放電回路にて互い半周期ずらした三角波信号を作成し、各三角波信号をそれぞれ第 1, 第 2 のシュミットトリガ回路に入力して第 1, 第 2 の PWM 信号を生成し、それらを合成して図 4(i) に示すような PWM 信号として出力する。これにより、レベル状態がオールハイからオールローまで可能な PWM 信号を生成することが可能となる。

【0056】図 10 の PWM 回路 20 のように、単相の発報 (W-CLK1 のみ) で PWM 波形を生成しようとする

(B)

特許 2003-284329

16

と、0% デューティ (常時オフ状態) に近い細い幅の PWM パルス (但しローアクティブパルス) や 100% デューティ (常時オン状態) に近い広い幅 (ローアクティブのためハイレベル部分は細い幅) の PWM パルスを作り出すのは難しいが、本実施の形態 (図 3) による半周期ずらした 2 つの発報信号の作成 (2 相化) を行うことで、0～100% デューティの範囲での PWM 信号による PWM 制御が可能となる。

【0057】図 5 は上記第 1 の PWM 回路における主要な波形 (図 4 の各部波形に対応) 特に三角波を拡大して示す図である。(a) は例えば 1 MHz のメイン基準クロック Main-CLK に基づいて作成されるデューティ 50% の分周信号 Div-main、(b) はメイン基準クロック Main-CLK を 2 分周した例えば 500 KHz の分周クロック CLK1、(c) は(b) の分周クロック CLK1 を用いて第 1 の PWM 回路内で作成される三角波信号 W-CLK1、(d) は(c) の三角波信号 W-CLK1 に基づいて作成される第 1 の PWM 信号 (PWM1) をそれぞれ示している。

【0058】三角波信号 W-CLK1 はその波形の立ち上がりの傾斜が、前述したようにエラーアンプ 40 からの誤差信号 Vb の振幅変化に応じて変化し、結果としてシュミットトリガ回路 302 にて作成される PWM 信号 (PWM1) の幅が変化する。つまり、図 5 (a) に示すように誤差信号 Vb の電圧が大きければ大きいほど三角波の傾斜は ①, ②, … ⑤ のように大きくなり、これに伴い第 1 の PWM 信号 (PWM1) のパルス幅はその立ち上がり部分が ①, ②, … ⑤ のように左側に移動 (即ちローアクティブパルスのデューティは 100% ～ 50% まで変化) する。このことは、半周期ずれた三角波信号 W-CLK2 の傾斜、及び第 2 の PWM 信号 (PWM2) のパルス幅の変化についても同様である。

【0059】図 6 は上記の三角波信号 W-CLK1, W-CLK2 の傾斜範囲 (本実施の形態で必要とされる三角波の最大可変範囲) を示している。三角波 W-CLK1, W-CLK2 の傾斜は、両者とも符号 L にて示す範囲のみで良い。図 6 に示される三角波 W-CLK1, W-CLK2 の生成タイミング及び傾斜範囲から分るよう 2 つの三角波 W-CLK1, W-CLK2 とも実線波形の場合はオールロー (常時オフ状態) の PWM 制御が可能となり、2 つの三角波 W-CLK1, W-CLK2 とも点線波形の場合はオールハイ (常時オン) の PWM 制御が可能となる。

【0060】以上述べ実施の形態によれば、誤差電圧に応じた PWM 波形を作成する際に、1 つの高い周波数の基準クロックを分周して、互いに半周期ずらした 2 つの基準クロックを作成し 2 相化することで、0～100% デューティ範囲の PWM 信号を作成でき、制御範囲のより広い PWM 制御を行えると共に、シュミットトリガ回路を使用できるため、ノイズの影響を受けにくくかつ高速な PWM 制御を実現できる。従って、より高い応答性の PWM 回路及びこれを用いた電源回路を実現すること

(10)

特開2003-284329

17

ができる。

【0061】本発明は、以上述べた実施の形態に限るものではなく、本発明の要旨を変えない範囲で各実施の形態を適宜変更して実施することができる。

【0062】

【発明の効果】以上述べたように本発明によれば、0～100%デューティ範囲のPWM制御が可能で、高速応答が可能なPWM回路及びこれを用いた電源回路を実現することができる。

【図面の簡単な説明】

【図1】 本発明の一実施の形態の電源回路の構成を示す図。

【図2】 図1の電源回路のDC-DC変換回路におけるPWM信号SH, SLと中間ノード電位VMAの関係を示すタイミングチャート。

【図3】 図1の電源回路におけるPWM回路の構成例を示す回路図。

【図4】 図3のPWM回路の各部の信号波形を示すタイミングチャート。

【図5】 図3のPWM回路を構成する第1のPWM回路の三角波生成及びPWM信号生成を説明する図。

【図6】 図3のPWM回路を構成する第1, 第2のPWM回路において実現可能な三角波傾斜範囲とそれによる効果を説明する図。

【図7】 従来のCMOS集積回路を用いた同期整流型

(10)

18

スイッチングレギュレータの構成を示す図。

【図8】 図7におけるPWM回路の構成例を示す図。

【図9】 図8の動作を説明するタイミングチャート。

【図10】 図7におけるPWM回路の他の構成例を示す図。

【図11】 図10の動作を説明するタイミングチャート。

【図12】 100%デューティ(常時オン状態)のPWM制御を行う必要性を説明する図。

10 【符号の説明】

1, 9…電源入力端子

2, 11…基準電圧入力端子

4…出力端子

6…分周信号入力端子

7, 8…クロック入力端子

10…旗整電圧入力端子

12…PWM信号出力端子

30…PWM回路

321と322…合成回路

20 40…エラーアンプ(誤差検出手段)

QP1…PMOS(上位トランジスタ)

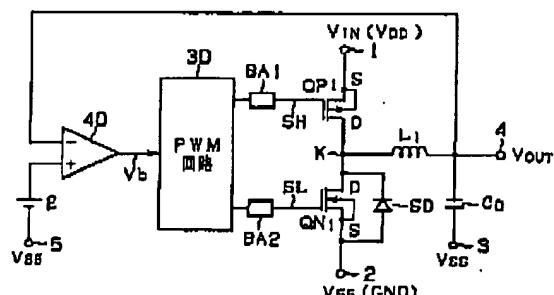
QN1…NMOS(下位トランジスタ)

E…基準電圧源

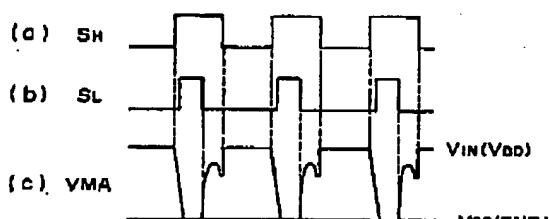
L1…整流用コイル

C0…安定化容量

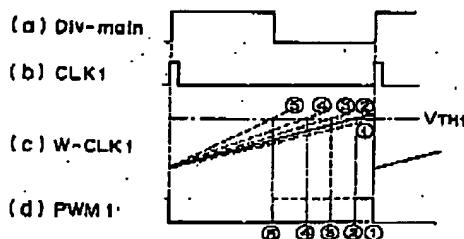
【図1】



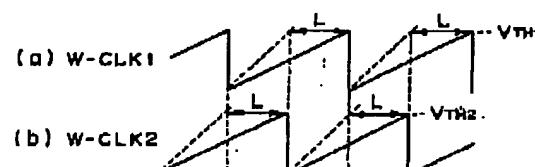
【図2】



【図5】



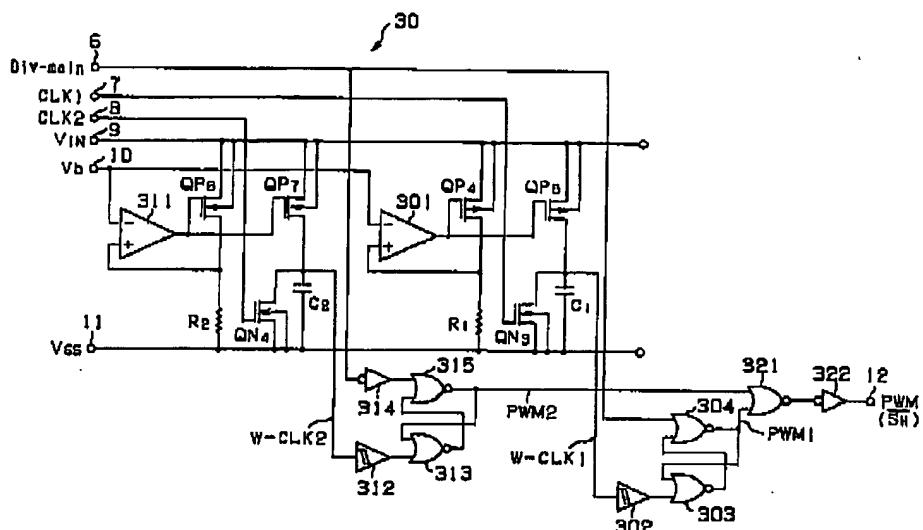
【図6】



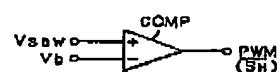
(11)

特開2003-284329

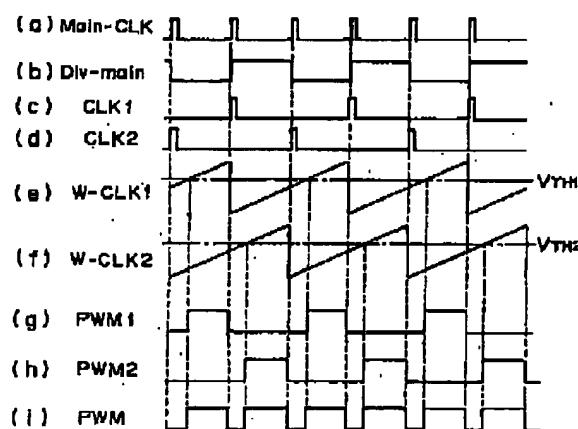
【図3】



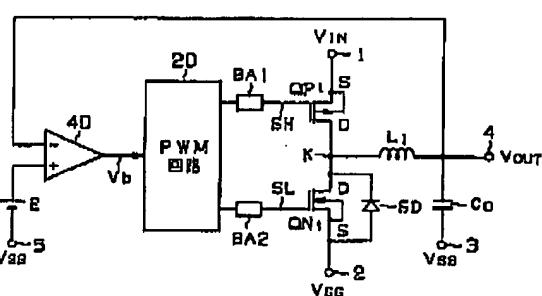
【図8】



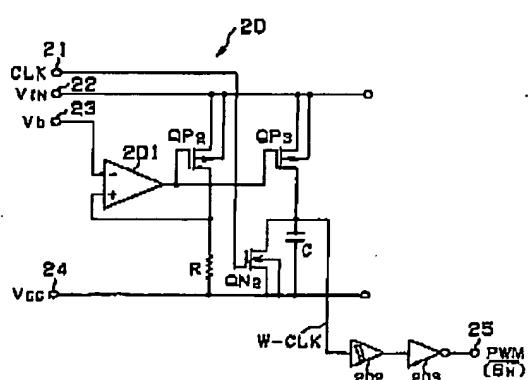
【図4】



【図7】



【図10】



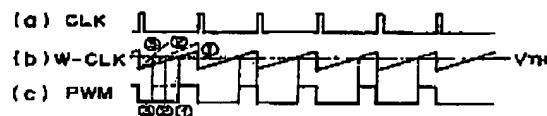
【図9】



(12)

特開 2003-284329

【図 1 1】



【図 1 2】

